

# 3次元積層型 LSI の実現に貢献する 300mm ウェーハ対応常温ウェーハ接合装置

300mm Compatible Wafer Bonder by Room Temperature Bonding for 3D Stacked LSI



工作機械事業本部  
営業部 営業企画課  
☎(077)551-3474

近年、半導体製造プロセスにおける微細化の限界が問題となっている。半導体製造ではこれまで機能や容量の拡張を素子や配線の微細化により対応してきたが、2次元的な微細化の限界が徐々に明らかになってきている。この限界を超える一つ的手段として、半導体デバイスの3次元積層化が進められている。当社では3次元積層型 LSI(大規模集積回路)の製造に用いられる、300mm ウェーハに対応した常温ウェーハ接合装置を開発したので紹介する。

## 1. 半導体製造における3次元積層技術の必要性

マイクロプロセッサやメモリーを中心とした LSI では、これまで機能の拡張や容量の拡大を素子(トランジスタ)の小型化や配線の微細化により実現してきた。ムーアの法則によれば、およそ18ヶ月ごとに集積回路に搭載されるトランジスタの数が倍になっている。

しかし、トランジスタの小型化や配線の微細化には限界があり、従来と同じスピードでのデバイスの開発に陰りが見え始めている。これは、LSIの構造が素子や配線を2次元的に配置していることに起因する。この限界を打ち破る一つの方法として、デバイスが形成されたウェーハを3次元的に積層し、同一面積でありながら、機能や容量を拡張していく方法が進められている。ウェーハの3次元積層の概念を図1に示す。

ウェーハを積層するためには、以下の2つの新技术が必要である。

- (1) ウェーハ間で信号の授受を行うための貫通配線を形成する技術。
- (2) 貫通配線の接続を行いながらウェーハを接合する技術。

貫通配線の例を図2に示す。本記事で紹介する 300mm 対応常温ウェーハ接合装置は、上記(2)のウェーハ間接合を行う装置である。

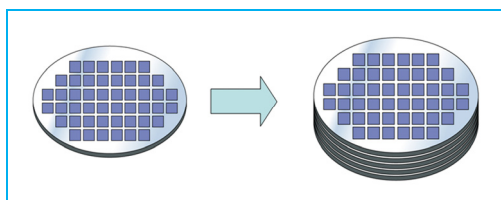


図1 ウェーハの3次元積層の概念図

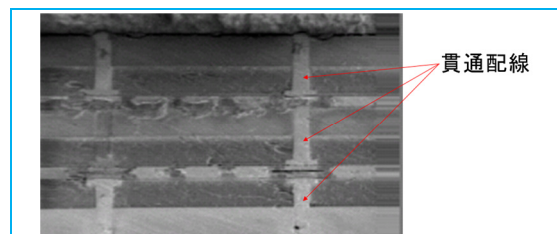


図2 貫通配線の例(出展:Yole Development 社)

## 2. 300mm ウェーハ対応常温ウェーハ接合装置の特徴

常温接合技術は、高真空中で、ウェーハ表面の酸化膜や吸着物を不活性元素のイオンや中性原子を照射して除去し、活性化された面同士を接合する技術であり、以下の特徴を持つ。

- (1) 加熱を行わないため、熱歪みがウェーハに残らない。またウェーハ上の素子に対し熱ストレスを生じないため歩留まりを向上できる。

- (2) 加熱を行わないため、熱膨脹率の異なるウェーハを接合する場合でも、接合するウェーハ間で高精度の位置合わせ( $\pm 2 \mu\text{m}$ )が可能である。
- (3) シリコン系材料や金属等、多岐にわたる材料が接合可能であり、種々の材料の貫通配線を接合できる。
- (4) 加熱、冷却が不要であるため、高いスループットを有する。

また、本装置では接合する貫通配線上の酸化膜を効率よく除去できるよう、エネルギーの高い FAB (Fast Atom Beam) による活性化を行っている。複数の FAB ガンの最適配置をデジタルシミュレーションにより決定し、高い生産性を実現した。

### 3. 仕様

本装置の仕様を表1に示す。装置は、すべて自動化されており、5セット(10枚)のウェーハをウェーハカセットにセットするだけで、ウェーハの搬送やアライメント(接合するウェーハ同士の位置合わせ)等、すべて人手を介することなく処理される。また、200kN の高い圧接荷重にて加圧することができ、安定した接合を実現できる。さらに、デバイスの量産においては、ランニングコストが問題となるが、本装置は、アルゴンガス、窒素ガス、冷却水、圧縮空気など安価で安全なユーティリティのみを必要としており、極めて安価なランニングコストを実現している。保守性も十分考慮されており、容易に保守が可能である。

表1 主要諸元

処理単位	5セット(最大)
ウェーハサイズ	300mm/200mm
運転形態	全自動
貼り合わせ精度	$\pm 2 \mu\text{m}$ (当社実績)
表面活性化	アルゴン高速原子ビーム
圧接機構	最大印加荷重 200kN
アライメント	赤外線透過/反射方式
チャンバ真空度	$1.0 \times 10^{-5} \text{Pa}$
ユーティリティ	アルゴンガス、窒素ガス、圧縮空気、冷却水、電源(100V/200V)

### 4. 応用分野

スマートフォンや携帯端末の急速な普及に伴い、デバイスの小型化ニーズは、ますます高くなるとともに、製品の開発サイクルも、さらに短縮することを要求されている。このようなニーズにこたえるため3次元積層技術を用いたデバイスとして、以下の応用が期待される。

(1) メモリー

デバイスの占める面積を従来と同等としたまま、容量を10数倍に拡大することが可能である。

(2) マイクロプロセッサ

機能の集積化が極限まで進められるデバイスであるが、従来1つのデバイスに集約していた機能を複数のデバイスに分散し、機能ごとに3次的に積層することにより、面積を一定に保ったまま機能の拡張が行える。また、従来は機能の一部を変更すると、すべての回路を修正する必要があったが、3次元積層技術を用いると、変更のあった層のデバイスのみ修正すればよく、開発サイクルを短縮できる。

(3) MEMS (Micro Electro Mechanical Systems)

加速度センサや圧力センサ等の機械的な素子の部分と、信号処理や情報処理を行う素子を3次的に集約することにより、デバイスのインテリジェント化を実現するとともに、さらなる小型化と信頼性の向上が期待できる。

このようなニーズにこたえる製造装置として、今後装置の改良はもちろん、お客様のデバイス開発における接合プロセス支援により、3次元積層型 LSI の速やかな普及に努めていく所存である。